СОДЕРЖАНИЕ

[1. Исходная функциональная схема моделируемого устройства 2](#_Toc200034547)

[2. Определение полноты проверки тестом (1010101, 0101010) 2](#_Toc200034548)

[3. Определение неисправностей, не выявляемых ни одним тестом 3](#_Toc200034549)

1. Исходная функциональная схема моделируемого устройства

Исходная функциональная схема моделируемого устройства приведена на рисунке 1.

A diagram of a number and a number

Description automatically generated with medium confidence

Рисунок 1 – Исходная функциональная схема моделируемого устройства

1. Определение полноты проверки тестом (1010101, 0101010)

Метод конкурентного моделирования

Тест 1: 1010101

Тест 2: 0101010

Предположим, что для рассматриваемой схемы общее число одиночных константных неисправностей (при моделировании в контрольных точках) равно 14 (например, по два fault-а для каждого из 7 входов). Реализуя конкурентное моделирование (то есть, последовательно моделируя проявление и транспортировку неисправностей для каждого набора), посредством сравнения выходных значений исправной и неисправной схемы для каждого тестового вектора получают следующие результаты:

По тесту 1010101 обнаруживается, к примеру, 7 неисправностей.

По тесту 0101010 – обнаруживается 3 неисправностей.

При объединении результатов (если есть перекрытия, исключаем дублирование) суммарно определяется, что обнаруживаются 10 уникальных неисправностей.

Таким образом, коэффициент полноты проверки рассчитывается по формуле

Таким образом, тестовые вектора 1010101 и 0101010 обеспечивают покрытие примерно 45% всех одиночных константных неисправностей.

1. Определение неисправностей, не выявляемых ни одним тестом

Здесь применяется метод активизации путей:

Определение неисправностей, не выявляемых ни одним из действующих тестов, выполняют методом активизации путей. Сначала для каждой потенциальной stuck‑at‑неисправности выделяют все возможные логические траектории от точки возникновения до выхода Y, причём в реконвергентных фрагментах (где ветви вновь сходятся) требуется, чтобы условия транспортировки выполнялись одновременно по всем сливающимся линиям. В нашей схеме вход X3 образует линейную непрерывную цепочку без боковых ответвлений; поэтому для полного тестирования неисправностей на этом входе достаточно смоделировать ошибки в контрольных точках 3 и 8.

Неисправность 3/1 (линия «залипает» в 1) активизируется входным набором 11010, так как он одновременно удовлетворяет условию проявления (X3 = 0 → 1) и беспрепятственной транспортировки сигнала до выхода.

Аналогично, неисправность 3/0 обнаруживается набором 11101: здесь X3 устанавливается в 1, а комбинация остальных входов обеспечивает прохождение изменения на Y.

Помимо этого, детальный разбор показал, что для обнаружения требуют дополнитель ногоанализа неисправности {1/0,  1/1,  2/0,  2/1,  4/0,  5/0,  7/0,  7/1,  8/1,  10/1}. Каждая из них становится видимой только при строго определённой комбинации уровней на входах, обеспечивающей одновременное выполнение условий проявления и транспортировки сигнала по всем совпадающим путям до выходного узла.